

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000150862
PUBLICATION DATE : 30-05-00

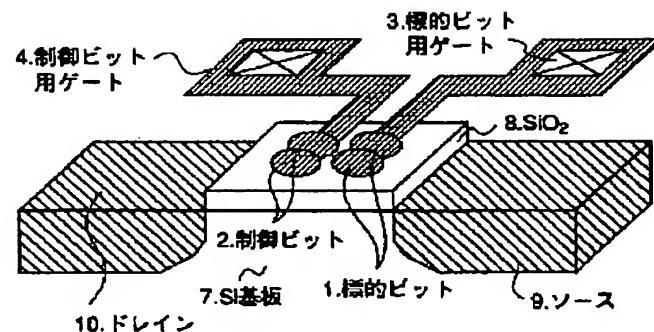
APPLICATION DATE : 07-06-99
APPLICATION NUMBER : 11158957

APPLICANT : TOSHIBA CORP;

INVENTOR : FUJITA SHINOBU;

INT.CL. : H01L 29/66 H01L 29/78 H01L 21/8247
H01L 29/788 H01L 29/792 H01L 29/778
H01L 21/338 H01L 29/812 // H01L
27/115

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To connect a Controlled-NOT circuit to a general purpose Si-LSI by applying a voltage to at least one gate electrode for changing charge distribution in at least two fine structures.

SOLUTION: The manufacturing method of an embodiment is described. First, a device region is formed on a p-Si substrate 7. Then, gate oxidation is made, and a thermal oxide film 8 for forming quantum dot structure is subjected to patterning. Ion implantation is performed while resist is allowed to remain, and the regions of a source 9 and a drain 10 are formed. Then, after poly Si is deposited, a quantum dot structure of 0.1 μm or less that becomes a target bit 1 and a control bit 2, a gate electrode 3 of the target bit, and a gate electrode 4 for the control bit are subjected to patterning. In this case, to further reduce the size of a quantum size, the quantum dot structure is manufactured, thermal oxidation is made again, quantum dot surface is oxidized, and the transmission part can be further reduced.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-150862

(P2000-150862A)

(13)公開日 平成12年5月30日(2000.5.30)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 01 L 29/66		H 01 L 29/66	5 F 001
29/78		29/78	3 0 1 J 5.F 0 4 0
21/8247			3 7 1 5 F 0 8 3
29/788		29/80	H 5 F 1 0 2
29/792		27/10	4 3 4

審査請求 未請求 請求項の数 6 O.L (全 10 頁) 最終頁に続く

(21)出願番号	特願平11-158957
(22)出願日	平成11年6月7日(1999.6.7)
(31)優先権主張番号	特願平10-246187
(32)優先日	平成10年8月31日(1998.8.31)
(33)優先権主張国	日本 (J P)

(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(72)発明者	棚本 哲史 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
(72)発明者	藤田 忍 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
(74)代理人	100083161 弁理士 外川 英明

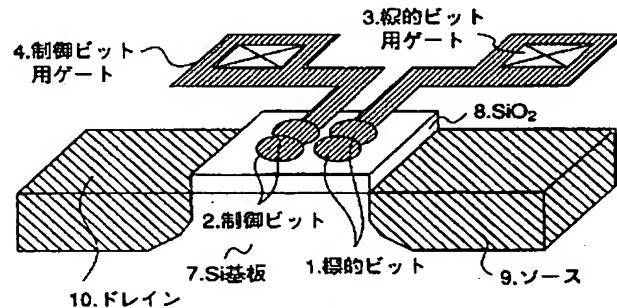
最終頁に続く

(54)【発明の名称】 半導体素子

(57)【要約】

【課題】 controlled NOT回路を汎用のSi-LSIと接続できる半導体素子において実現すること。

【解決手段】 伝導体からなる0.1ミクロン以下の二つ以上の微細構造と、該微細構造と接合容量が0.1ピド以下であるように電気的に接続されている一つ以上のゲート電極とを有し、一つ以上の該ゲート電極に特定の電圧を加えることにより、少なくとも二つの該微細構造内の電荷分布が変化する。



【請求項1】

伝導体からなる0.1ミクロン以下の二つ以上の微細構造と、該微細構造と接合容量が0.1μF以下であるように電気的に接続されている一つ以上のゲート電極とを有し、一つ以上の該ゲート電極に特定の電圧を加えることにより、少なくとも二つの該微細構造内の電荷分布が変化することを特徴とする半導体素子。

【請求項2】 伝導体からなる0.1ミクロン以下の二つ以上の微細構造を形成し、該微細構造と接合容量が0.1μF以下であるように電気的に接続されている第一のゲート電極と、該第一のゲート電極に接続されている二つ以上の該微細構造と接合容量が0.1μF以下であるように電気的に接続されている第二のゲート電極を持つことを特徴とする半導体素子。

【請求項3】 基板上に絶縁膜を介して伝導体からなる微細構造を四つ以上形成し、該微細構造のうち二つ以上と電気的に接続され、かつ接合容量が0.1μF以下である一つまたは複数個の第一のゲート電極と、該微細構造と該第一のゲート電極上に絶縁体を介して形成された第二のゲート電極を有することを特徴とする半導体素子。

【請求項4】 該第一のゲート電極と、該第二のゲート電極、該微細構造が絶縁膜を介して半導体基板上に形成され、ソース電極、ドレイン電極を有する請求項2記載の半導体素子。

【請求項5】 該第一のゲート電極と、該第二のゲート電極、該微細構造が絶縁膜を介して半導体基板上に形成され、ソース電極、ドレイン電極を有する請求項3記載の半導体素子。

【請求項6】 伝導体からなる0.1ミクロン以下の二つ以上の微細構造と、該微細構造と接続容量が0.1μF以下であるように電気的に接続されている電荷供給層と、該微細構造上に絶縁体を介して形成される一つ以上のゲート電極とを有し、該ゲート電極に特定の電圧を加える事により、少なくとも二つの該微細構造内の電荷分布が変化することを特徴とする半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は論理動作を行う半導体素子に関する。

【0002】

【従来の技術】 量子力学的な波動関数を直接利用する量子コンピュータがD. Deutsch (Proc. R. Soc. London, Ser. A 400, p 97 (1985)) をはじめとして提案されている。例えば従来因数分解のアルゴリズムによれば、その計算ステップ数は人力数の増加に対してほぼ指数関数

的に増大していくことが知られていたが、P. W. Shor (1994 Proc. 35th Ann. Symp. Foundation of Computer Science (IEEE Computer Society, Los Alamitos, p 124) が入力数の多項式ステップ (例えば $c_1 N + c_2 N^2 + c_3 N^3 \dots$ 回 ($c_1, c_2, c_3 \dots$ は定数) で因数分解することができるアルゴリズムを量子コンピュータにより示したことによって、量子コンピュータの有用性が広く認識されるようになってきた。他方、量子コンピュータは暗号理論への適用が期待されている。これは量子コンピュータにおいては波動関数そのものを一つ一つの信号と捉えることから、(1) 解読不可能な信号を発生させる、(2) 盗聴者が存在した場合にその存在を認識させる、という暗号理論に必要とされる重要な性質を満たすことが知られている。この(2)については盗聴者が信号に接触した途端、量子力学的な‘観測’が行われ、波動関数が変化してしまうことがその本質であり、完全なコピーが不可能であることが最大限利用されている (no-cloning 理論)。これは従来の古典的な0か1の信号を使った暗号では不可能と考えられていたことである。

【0003】 この量子コンピュータにおける論理演算は波動関数の変化として実現される。まず、ビットを表す場合、特に二準位系においては、二つの基底関数 $|0\rangle$ と $|1\rangle$ と任意の数、 a, b を用いて $\psi = a|0\rangle + b|1\rangle$ のように表される。例えば整数Nを表す状態はまず、Nを二進数で表し：

【数1】

$$N = \sum_{i=0}^{L-1} a_i 2^i \rightarrow |N\rangle = |a_L, a_{L-1} \dots a_0\rangle$$

のように記述される。量子コンピュータにおける論理演算とはこの波動状態に系の変化であるユニタリー変換 (ユニタリー行列) を作用させることになる。計算の種類によりこのユニタリー行列の形もさまざまに取られるが、この中で特に基本的で重要なものに controlled-NOT回路がある (例えばA. Barenco et. al.: Phys. Rev. Lett. Vol. 74, p 4083 (1995))。これは二つのビット (2準位系) から構成され、二つのビットのうち一つを制御ビットもう一つを標的ビットと呼ぶことにすると、制御ビットと標的ビットに関するcontrolled-NOT演算 C_{12} は以下のようにかかれれる：

【数2】

$$|\varepsilon_1\rangle |\varepsilon_2\rangle \xrightarrow{C_{12}} |\varepsilon_1\rangle |\varepsilon_1 \oplus \varepsilon_2\rangle \quad (\text{modulo}2)$$

【数3】

つまり

$$\begin{aligned}|0\rangle|0\rangle &\rightarrow |0\rangle|0\rangle \\|0\rangle|1\rangle &\rightarrow |0\rangle|1\rangle \\|1\rangle|0\rangle &\rightarrow |1\rangle|1\rangle \\|1\rangle|1\rangle &\rightarrow |1\rangle|0\rangle\end{aligned}$$

行列で表すと

【数4】

$$\begin{pmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 1 & 0 \end{pmatrix}$$

のようになる。controlled-NOT回路には(1)いわゆるmeasurement gateであり、非破壊測定を可能にする、(2)二つのbitの状態の入れかえ(swapping)を可能にする、などの特徴があり、これらは特に量子暗号回路における重要な役割を果たす(C. H. Bennett et al. : Phys. Rev. Lett. Vol. 29 p1895 (1993))。

【0004】さてこの量子コンピュータを実現する系としてイオントラップの系(J. I. Cirac et al. (Phys. Rev. Lett. Vol. 71, p4091 (1995))やNMRを使った提案(N. A. Gershenfeld et al. Science Vol. 275 p350 (1997))がなされている。J. I. Cirac et al. (Phys. Rev. Lett. Vol. 74, p4091 (1995))が示したコールドイオントラップを利用したcontrolled-NOTはMonroe et al. (Phys. Rev. Lett. Vol. 50, p4714 (1995))らにより、実験検証が行われている。図8は二つの隣り合った量子ドットの双極子間相互作用を利用したcontrolled-NOTを実現する系を示したものである(A. Barenco et. al. : Phys. Rev. Lett. Vol. 74, p4083 (1995))。図8(a)は外部電場があるときの二つの量子ドットのエネルギー準位を量子ドット間の相互作用がある場合(左)と無い場合(右)で示したものであり、図8(b)は共鳴スペクトルを示し、破線は量子ドット1を制御ビット、量子ドット2を標的ビットとしたときのcontrolled-NOT動作を示したものである。周波数 $\omega_2 + \omega$ を持つπのパルス波をかけたときに最初の量子ドット1が状態 $|1\rangle$ にいたときに限り、量子ドット2が $|0\rangle$ と $|1\rangle$ 間の遷移を起すことがわかる。ただし、 ω は、 ω バーとする。

【0005】以上、いくつかのcontrolled-

NOT動作を実現する系が提案されているが、例えばイオントラップなどの光を利用する素子ではマイクロチップ化することが難しい上、従来のLSIとの結合が困難である等の本質的問題があり、暗号回路にしても、通常のパーソナルコンピュータ内にチップとして組み込むためには電子デバイス化する必要があった。また、Quantum Cellular Automaton (QCA)として、量子ドットの4つ、または5つの組みを基本単位のセルとして同一平面内に多数ならべ、入力信号に対して出力信号をとるという提案(C. S. Lent et al: Nanotech. Vol. 4, p49 (1993), Appl. Phys. Lett. Vol. 62, p714 (1993))もなされているが、この提案においては回路動作の原理であるセル間の相互作用は古典力学的なクーロン相互作用であり、量子計算機が必要とする量子力学的な演算是不可能であった。また、この提案においてはセル内の電子はセル内に一定の数だけ限定され、閉じ込められていることが必要不可欠であり、一定以外の電子が注入、または取り除かれると動作は不可能になるため、作成は極めて困難であることが問題とされていた。

【0006】

【発明が解決しようとする課題】本発明は上記にかんがみて考案されたものであり、量子計算機において最も基本的な論理回路である、controlled-NOT回路を汎用のSi-LSIと接続できる半導体素子において実現することを可能にしている。

【0007】

【課題を解決するための手段】本発明の半導体素子は伝導体からなる0.1ミクロン以下の二つ以上の微細構造と、該微細構造と接合容量が0.1μF以下であるように電気的に接続されている一つ以上のゲート電極とを有し、一つ以上の該ゲート電極に特定の電圧を加えることにより、少なくとも二つの該微細構造内の電荷分布が変化することを特徴とする。また本発明の半導体素子は伝導体からなる0.1ミクロン以下の二つ以上の微細構造を形成し、該微細構造と接合容量が0.1μF以下であるように電気的に接続されている第一のゲート電極と、該第一のゲート電極に接続されていない二つ以上の該微細構造と接合容量が0.1μF以下であるように電気的に接続されている第二のゲート電極を持つことを特徴とする。また本発明の半導体素子は基板上に絶縁膜を介して伝導体からなる微細構造を四つ以上形成し、該微細構造のうち二つ以上と電気的に接続され、かつ接合容量が0.1μF以下である一つまたは複数個の第一のゲート電極と、該微細構造と該第一のゲート電極上に絶縁体を介して形成された第二のゲート電極を有することを特徴とする。また本発明の半導体素子は該微細構造と、該第一のゲート電極、該第二のゲート電極とが絶縁膜を介して半導体基板上に形成され、ソース電極、ドレイン電極

を有することを特徴とする。

【0008】また本発明の半導体素子は該微細構造と、該第一のゲート電極、該第二のゲート電極とが絶縁膜を介して半導体基板上に形成され、ソース電極、ドレイン電極を有することを特徴とする。また本発明の半導体素子は伝導体からなる0.1ミクロン以下の二つ以上の微細構造と、該微細構造と接続容量が0.1μF以下であるように電気的に接続されている電荷供給層と、該微細構造上に絶縁体を介して形成される一つ以上のゲート電極とを有し、該ゲート電極に特定の電圧を加える事により、少なくとも二つの該微細構造内の電荷分布が変化する事を特徴とする。すなわち、本発明は複数のゲート電極と各該ゲート電極に接続された複数の1ミクロン以下の微細構造（量子ドット）を基本的な構成要素とする。図2は本発明の請求項1の動作原理を4つの量子ドット（二つの量子ドットからなる標的ビット1と二つの量子ドットからなる制御ビット2）と二つのゲート電極3, 4の場合に模式的に表したものである。ゲート電極と量子ドットは異なる材質で作製してもよい。ここで4つの量子ドットのうちゲート電極に接続した方は小さく作られている。この結果量子ドットのバンド図は図に示したようにゲート電極よりの量子ドットでエネルギー準位間が大きくなっている。ゲート電極に電圧をかけたときに量子ドットにはゲート電極より電子が注入されるが、量子ドットが十分小さいために量子ドット内の離散的なエネルギー準位に限り存在することが許される。しかも電子同士のいわゆるクーロンブロッケイド効果のため、量子ドット系内には二つ以上の電子が入るためには大きな電圧が必要になり、事実上量子ドット系に入る電子の数は一つに制限される。

【0009】さて、ゲート電極に電圧をかけ、電子を注入するのであるが、注入された電子がゲート電極よりの量子ドットに存在する場合を|1>状態、ゲート電極から離れた量子ドットに入る場合を|0>状態とする（図2（b））。次に制御ビット用のゲート電極4に電圧V₂を加え、制御ビット2内に電子を注入した場合の、標的ビット用のゲート電極3に接続された標的ビット1のバンド図を表したのが図2（c）と（d）である。制御ビット2内に注入された電子の位置が（c）の場合、電子のクーロン斥力で標的ビット1内の|0>状態を表す量子ドット内のバンドの底が上がり、反対に（d）の場合は標的ビット1の|1>状態を表す量子ドット内のバンドの底が上がる。ここで標的ビット用のゲート電極3に電圧を加え、標的ビット1内に電子を注入する。標的ビット用のゲート電極3にかける電圧V₁を制御ビット2の電子が|1>の状態のとき、つまり図2（d）の状態の時に、標的ビット1内の二つの量子ドット内のエネルギー準位が一致するような電圧とする（図2（e））。以上の系において、第一のゲート電極に電圧V₁をかけるかどうかでcontrolled-NOT

動作が可能なことが以下のように示される。

【0010】（1）制御ビットが|0>であるとき
両ビット内の電子は図3の（a）か（c）にある。ここで電圧V₁をかけても図3（b）のように最初から標的ビット1内のゲート電極からみて外の量子ドットのエネルギー準位が高いため、標的ビット1内の二つの量子ドットのエネルギー準位は一致することはない。従って標的ビット1内の電子は移動せず、図3で（a）は（b）に、（c）は（d）になる（|0>|0>→|0>|0>、|1>|0>→|1>|0>）。

（2）制御ビットが|1>であるとき

両ビット内の電子分布は図3（e）と（g）になる。ここで電圧V₁をかけると図2（e）に示すように標的ビット内の量子ドット内のエネルギー準位が一致し、電子は図3（e）から（f）、（g）から（h）のように移り変わる。このとき|0>|1>→|1>|1>、|1>|1>→|0>|1>の動作が行われたことになる。以上よりこの系でcontrolled-NOT動作が実現される。なお、第一のゲート電極と第二のゲート電極は役割を交代することができる。図5は本発明の請求項3の構造の一例を模式的に示したものであり、制御ビットの役割を量子ドット系から絶縁膜11を介して上部に作製した上段ゲート7により実現したものである。ここで制御ビット用上段ゲート6は四つの量子ドット系のうち二つの量子ドット（制御ビット）の上方に設置される（図5（a）（b））。このとき、上段ゲートは厳密に真上である必要はなく、量子ドット系から離れた斜め上でもかまわない。この上段ゲートにより、ゲート電極に電圧をかければ、最初の電子はまず、制御ビットの方に注入される。ここでさらにゲート電極に電圧を加えることにより今度は標的ビットに電子が入る。

【0011】本発明においては量子ドットに電荷を注入するゲート電極がゲート電極と同一面内に作られているために、量子ドット内の電荷の有無が電流に与える影響が敏感であることが特徴である。また、本発明においてはエンハンスマント型においては反転層、または弱反転層の形成が、量子ドット内の電荷の有無に影響をうけ、また、ディプレーション型においては量子ドット内に電荷が注入され空乏化することにより、チャネル層を流れる電流値の変化、しきい値のシフトが観測できる。また、本発明は量子ドット下の状態が完全に反転しない状態、サブスレッシュホールド領域でも使用することができる。さらに本発明においては、量子ドット内の電荷の有無がチャネル層に流れる電流の変化を見るために通常のMOS素子では問題となる短チャネル効果があっても使用できる。

【0012】

【発明の実施の形態】図1は本発明の第一の実施例である。この実施例の製造法を述べる。まず、p-Si基板7に素子領域をLOCOS法もしくはSTI法により形

成する。次にゲート酸化を行い、量子ドット構造を形成するための厚さ約3nmの熱酸化膜8をパターニングする。次にレジストを残したまま、イオンインプランテーションを行い、ソース9、ドレイン10領域を形成する。次にポリSiをLPCVD法などにより堆積させた後、標的ビット1、制御ビット2となる0.1ミクロン以下の量子ドット構造及び標的ビット用ゲート電極3、制御ビット用ゲート電極4をEB等を用いてパターニングする。ここで量子ドットのサイズをさらに小さくするために量子ドット構造を作製した後、再び熱酸化を行い、量子ドット表面を酸化させ、その伝導部分をさらに縮小することも可能である。なおこの量子ドット構造の作製には、アモルファスSiなどの大きな表面マイグレーションを有する元素を堆積した後、加熱処理することによって塊状化させてもよい。この際、FIBなどを使って加速された粒子を、量子ドットを作製する部分に打ち込み、ダメージをいれてもよい。

【0013】また、量子ドットにAlなどの金属を使う場合は、スパッタ法による堆積の初期にできる金属微粒子をつかってもよい。このとき、表面を薄く酸化して、量子ドット表面に数nm程度の薄い酸化膜を形成することができ、動作速度の調整を行うことができる。この上に層間絶縁膜を形成し、コンタクトホールを開け、電極部分を外部電極と接続する。図4は本発明における第二の実施例を示す。まず、p-Si基板7に素子領域をしOCOS法もしくはSTI法により形成する。次にゲート酸化を行い、量子ドット構造を形成するための厚さ約3nmの熱酸化膜8をパターニングする。次にレジストを残したまま、イオンインプランテーションを行い、ソース9、ドレイン10領域を形成する。次にポリSiをLPCVD法などにより堆積させた後、標的ビット1、制御ビット2となる0.1ミクロン以下の量子ドット構造及び第一のゲート電極9をEB等を用いてパターニングする。ここで量子ドットのサイズをさらに小さくするために量子ドット構造を作製した後、再び熱酸化を行い、量子ドット表面を酸化させ、その伝導部分をさらに縮小することも可能である。なおこの量子ドット構造の作製には、アモルファスSiなどの大きな表面マイグレーションを有する元素を堆積した後、加熱処理することによって塊状化させてもよい。この際、FIBなどを使って加速された粒子を量子ドットを作製する部分に打ち込みダメージをいれてもよい。

【0014】また、量子ドットにAlなどの金属を使う場合は、スパッタ法による堆積の初期にできる金属微粒子をつかってもよい。このとき、表面を薄く酸化して、量子ドット表面に数nm程度の薄い酸化膜を形成することができ、動作速度の調整を行うことができる。この上に層間絶縁膜を形成し、コンタクトホールを開ける。第一の実施例との違いは量子ドット系を形成した後、CVD法により図5(b)の様なSiO₂酸化膜11を約1

00nmの厚さで形成し、その後第二の制御ビット用ゲート電極6をポリSiをLPCVD法により形成し、パターニングした後、層間絶縁膜を形成し、外部電極と接続する。次に本発明における量子ドット内の電荷分布を電流変化により感知する原理について実施例を用いて説明する。ゲート電極から酸化膜を介して設けられたMOS構造とソース電極、ドレイン電極は量子ドット内の電荷分布をセンスする機能を果たす。電子がゲート電極から量子ドットに注入された場合、ドット内のフェルミ面が上がったことに対応するため、ソース電極からドレイン電極への電流は流れにくくなる。量子ドット内の論理動作に使われる電圧V₁は、数m eVであり、しきい値電圧は数Vのオーダーであるため、両者の制御は自由度をもって調整することができる。

【0015】電子が図3(a), (b), (f), (g)のようにソース電極とゲート電極に対して平行に分布した場合と図3(c), (d), (e), (h)のようにななめに分布した場合の電流を比較した場合、電流は量子ドットに電子のいないところの下が流れやすいために、電流値としては図3(a), (b), (f), (g)の場合の方が、図3(c), (d), (e), (h)に比べて流れやすく、従ってゲート電極のしきい値も小さい。本発明においては電圧V₁をかけた前後で、電流値が変化せず、かつ電流も小さい場合は図3(c)、電流が大きければ図3(a)、電流値が変化し、流れる量が増えれば図3(e)、減れば図3(g)ということで量子ドット内の状態をセンスすることができる。図6はゲート電極に接続された量子ドット層の下に別の量子ドット構造を設けた実施例を示したものである。この基板上に薄い酸化膜を介して、作成された量子ドット内に基板のチャネルを流れる電子が、ソース・ドレイン間の電圧及び、いくつかのゲート電圧のかかけられた電圧により、入ることにより、ゲート電極に接続された量子ドット内の電子に作用する。なお、この基板上の量子ドットと基板との間には絶縁膜は必ずしも必要ではなく、量子ドットを金属材料で構成した場合はショットキー障壁により代用される。さらにこの実施例において、基板上の量子ドットとゲート電極に接続された量子ドット層の間に別の量子ドット層、もしくは浮遊電極を設けてもよい。

【0016】図7(a)は標的ビットと制御ビットの間に補助的な量子ドットを挿入した実施例である。このとき標的ビットに標的ビット内の二つの量子ドットの共鳴準位が一致する電圧をかけば、図3と同じようにcontrol-led-NOT動作をするが、共鳴しない電圧をかけた場合は、一般的に補助的ビットの存在で、

【数5】

$$\begin{pmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & e^{i\alpha} \cos(\theta) \\ 0 & 0 & -ie^{i(\alpha+\phi)} \sin(\theta) \end{pmatrix}$$

で現れる演算をする。ここで α , θ , ϕ は制御ビット、標的ビットの電圧に依存する位相である。これは標的ビット内の一般的な回転を示す。制御ビットの電子分布に対して補助的ビット内の電子分布は反転する。従って標的ビット内の電子の分布には標的ビットについては制御ビット内と同じ分布、つまり

【数6】

$$\begin{pmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{pmatrix}$$

も含まれる。図7 (b) は、ゲート電極に接続された量子ドットに入力された電子分布がゲート電極間に存在する量子ドットの配置や大きさにより演算動作をする素子を示したものである。図で白丸の量子ドットはハッピングされた量子ドットにくらべ、サイズが小さいために共鳴量子準位の位置が、やや高くなっているものである。この実施例において、この量子ドット系の上部に絶縁膜を介して上部電極構造を作成し、量子ドット系に作用させることも可能である。また、図中の記号“A”は他の量子ドットとは別のサイズの量子ドットであることを示している。なお、白丸にあたる量子ドットは図6で示された基板に接近して作成された量子ドットとしてもよい。また、上記の実施例においてはソース・ドレイン間のチャネル上に量子ドット系、ゲート電極を形成したが、量子ドット内の電荷分布を検知する電流ラインを量子ドット系に併設した図9のようなものとしてもよい。

【0017】図10は、本発明の請求項6に対する実施例を示したものである。製造工程は、量子ドット形成部分以外は基本的に通常のCMOS製造プロセスを利用する。まず、p型Si基板15上に通常のCMOS製造工程と同じくLOCOS法、STI法等により素子領域を形成する。ゲート電極を形成する場所に約2nmの厚さの第1の酸化膜16を熱酸化により形成した後、6nm程度の大きさを持つ第一のSi量子ドット層17をLPCVD、もしくはCVDによる堆積法で形成し、第一のSi量子ドット層17上に、第一のSi量子ドット層17より1nm程度上になるよう厚さの第2の酸化膜18をCVD法等により形成する。第2の酸化膜18上には、4nm程度の大きさを持つ第二のSi量子ドット層19を形成する。次に、第二のSi量子ドット層19上に、CVD法等により、8nm程度の厚さのSi酸化

膜20を形成する。次にSi酸化膜20上に、ポリSiからなるゲート電極3、4をLPCVD法等により堆積させ、パターニングする。その後、イオンプランテーション法によりソース電極9とドレイン電極10を形成する。さらにこれに層間絶縁膜を形成し、コンタクトホールを開ける事により、他の回路と電気的に接続する。

【0018】なお、第一、第二の量子ドットから成る結合量子ドットの形成は以下の方法でも良い。約2nmの厚さの第1の酸化膜16を熱酸化により形成した後、8nm程度の大きさの第一のポリSi層17をLPCVD法等により形成する。この上に2nm程度以下の厚さの第2の酸化膜18を熱酸化やCVD等により形成する。さらにこの上にLPCVD法等により大きさ4nm程度の第二のSi量子ドット層19を形成する。これらを約700°Cで加熱すると、Si量子ドット内の応力のために、Si量子ドットは酸化されずに、この量子ドットの無い部分が下まで酸化され、結合量子ドットが形成される。図10においては、量子ドットの数が上下それぞれ3個以上の場合を示したが、上下2個ずつとすれば、controlled-NOTゲートとなる。他にも、図11のように各々の結合量子ドットの上部に、それぞれの結合量子ドット毎に制御するゲート電極21を設けても良いし、図12のように、各々の結合量子ドット毎に制御するゲート電極21の上部に絶縁膜22を介して、チャネルに流れる電流をさらに制御する上段ゲート電極23を設けても良い。なお、図10、11、12では、基板に対して垂直方向に、2つの量子ドットを形成した場合を示したが、これらの量子ドットは垂直方向に3つ以上形成しても良い。

【0019】本発明においてはゲート電極はポリSiを用いたがTi、Co等のシリサイドまたはAl、などの金属及びFe、Co、Ni、PtCo等の磁性体及びその化合物でもかまわない。シリサイドの形成においては20nm程度のポリSiをLPCVD法により堆積した後にTi約20nmをEB蒸着法により形成する。ここで約750°C、約30秒のRTAを行いシリサイド化する。次に硫酸と過酸化水素水によりポリSiでパターニングした構造のみを残す。さらに約800°C、約30秒の二段アニールをすることにより、C49相からC54相への相転移を起させてTiシリサイドの低抵抗膜を形成する。また、本発明においてチャネル層に基板と同型（上記ではp型）のドーピング、または異なった型（n型）のドーピングをすることも可能である。また、本実施形態では酸化膜としてはSi酸化膜を用いたが、SiN、または酸化Zrなどの誘電体膜でも良い。さらに、第一の量子ドット層17を形成した後に、第2の酸化膜18を形成し、第二の量子ドット層19を形成せずに第2の酸化膜18とは別の材料を用いて第3の絶縁膜を形成しても良い。この場合、第2の酸化膜18と第3の絶縁膜が別の材料で出来ている為に、これらの界面に

電荷を蓄積できる部分が生じ、これが第二の量子ドット層19の代わりとなる。例えば、第2の酸化膜18としてSi酸化膜を用い、第3の絶縁膜としてSiNを用いれば良い。

【0020】同様に、第1の酸化膜16を形成した後、第一の量子ドット層17を形成せずに、第1の酸化膜16と異なる材料を用いて第2の絶縁膜を形成し、その上に第二の量子ドット層19、Si酸化膜20を形成しても良い。この場合も、第1の酸化膜16と第2の絶縁膜との界面に電荷を蓄積できる部分が生じる為に、これが第一の量子ドット層17の代わりとなり、結合量子ドットを形成した場合と同様の効果を得る事が出来る。また、3つ以上の結合量子ドットを形成する場合でも1つ、または複数の量子ドットの代わりに、異なる絶縁膜の界面での電荷蓄積部を設けても良い。本発明においてはLDI構造として利用することも可能である。また本発明ではp型Si基板を用いて説明したが、n型Si基板のn-MOS構造、あるいはn型、p型SOI基板を用いても構わない。図13は本発明の第六、第七の実施例を示したもので、ヘテロ接合を利用したものである。図13(a)では、GaAs基板上にMBE装置などを用いてn型AlGaAs、GaAs、p型AlGaAsをそれぞれ約3nm、約2nm、約2nmの順で堆積させ、この上部にゲート電極に接続したTi/Auの量子ドットをバターニングする。このゲート電極に電圧をかけることにより、p型AlGaAs/GaAs界面に電子の分布が発生し、この界面電子分布により量子計算機の動作を行う。GaAs/n型AlGaAs界面はソース・ドレイン電極と接続することにより、これは二次元電子層を、ゲート電極に接続された量子ドットによって制御するもので、ディブリーション型素子の例となる。上記の量子ドット内の電荷分布を反映した検知電流を出す構造となる。

【0021】図13(b)はSi-SiGe界面に生じる二次元電子層を利用した実施例である。Si基板上にSiGe層をガスソースMBE装置により約3nm堆積させる。続いてゲート電極に接続するようにポリSi量子ドット構造をバターニングする。以上、本発明の半導体素子においては、各層の量子ドットは基板上に1次元的に配列されるだけでなく、2次元的に配置されても良い。

【0022】

【発明の効果】本発明においては従来、実現されていなかった半導体電子系において量子コンピュータの重要な基礎動作の一つであるcontrolled-NOT回路を実現する手段を提供するものであり、従来は難しいとされていたSi-LSI回路内controlled-NOT回路とセンスラインを通常のMOS作製プロセスで実現することを可能にしている。

【図面の簡単な説明】

【図1】図1は本発明の第一の実施例にかかる構造を示す。

【図2】図2は本発明の動作原理を説明するための模式図を示す。

【図3】図3は本発明の動作原理の例を示す。

【図4】図4は本発明の第二の実施例にかかる構造を示す。

【図5】図5は本発明の第二の実施例にかかる構造を模式的に示す。

【図6】図6は本発明の第二の実施例にかかる構造を模式的に示す。

【図7】図7(a)、(b)は本発明の第三、四の実施例にかかる構造を模式的に示す。

【図8】図8は従来例を示す。

【図9】図9は本発明の各実施例における電流ラインの構造を模式的に示す。

【図10】図10は本発明の第五の実施例に係る構造を模式的に示す。

【図11】図11は本発明の第五の実施例の変形例に係る構造を模式的に示す。

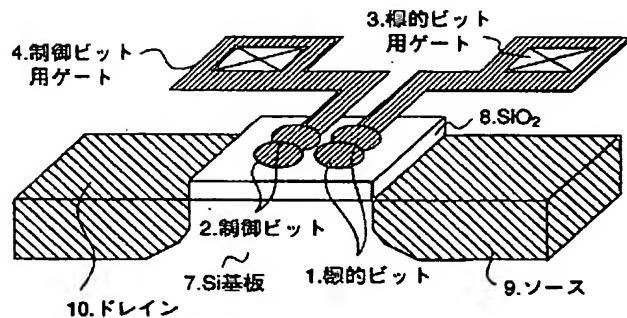
【図12】図12は本発明の第五の実施例の変形例に係る構造を模式的に示す。

【図13】図13(a)、(b)は本発明の第六、七の実施例にかかる構造を模式的に示す。

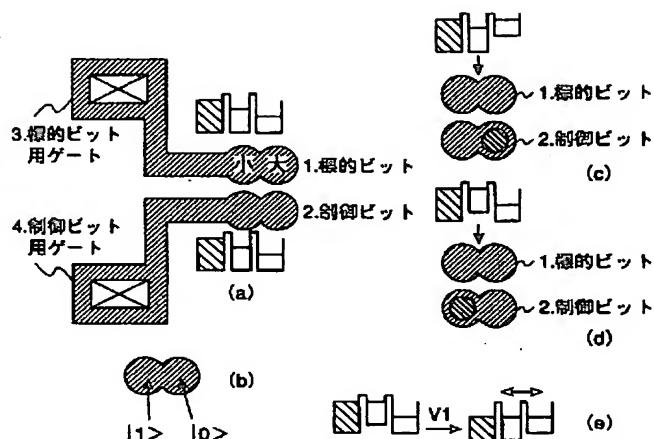
【符号の説明】

- 1…標的ビットとなる量子ドット、
- 2…制御ビットとなる量子ドット、
- 3…標的ビット用ゲート電極、
- 4…制御ビット用ゲート電極、
- 5…量子ドット系に電荷を注入する第一のゲート電極、
- 6…制御ビット用上段ゲート電極、
- 7…Si基板、
- 8…酸化膜、
- 9…ソース電極、
- 10…ドレイン電極、
- 11…層間絶縁膜、
- 12…基板上に生成された絶縁膜、
- 13…絶縁膜12に形成された量子ドット、
- 14…補助的な量子ドット、
- 15…p型Si基板、
- 16…第1の酸化膜、
- 17…第一の量子ドット層、
- 18…第2の酸化膜、
- 19…第二の量子ドット層、
- 20…Si酸化膜、
- 21…ゲート電極、
- 22…絶縁膜、
- 23…上段ゲート電極。

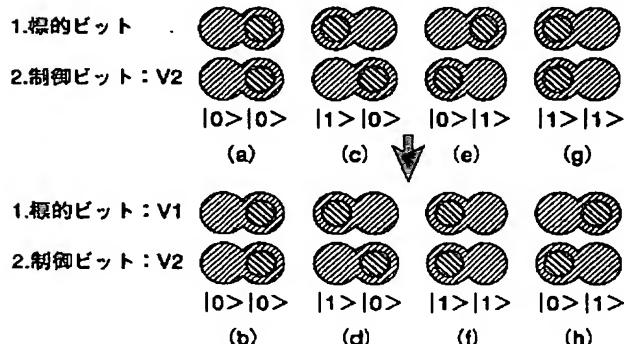
【図1】



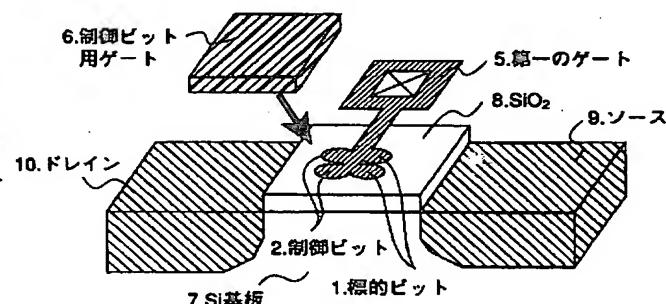
【図2】



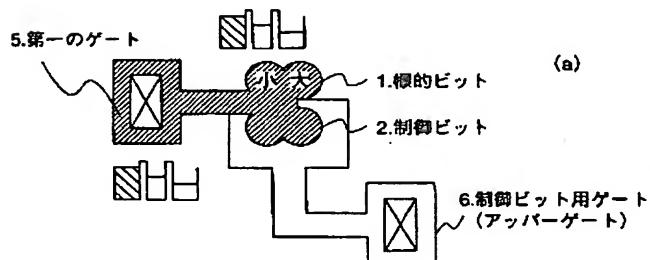
【図3】



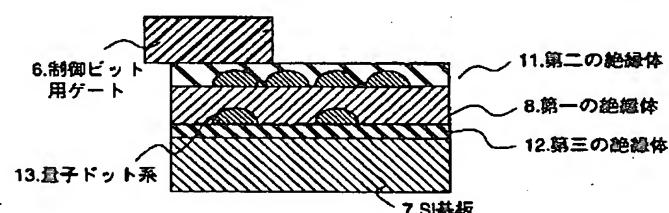
【図4】



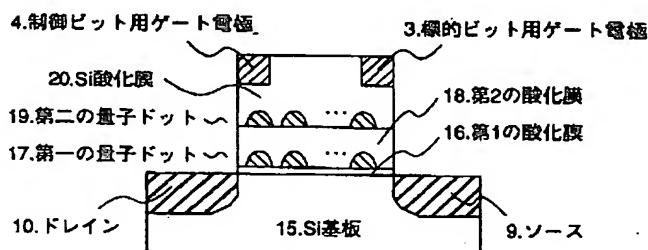
【図5】



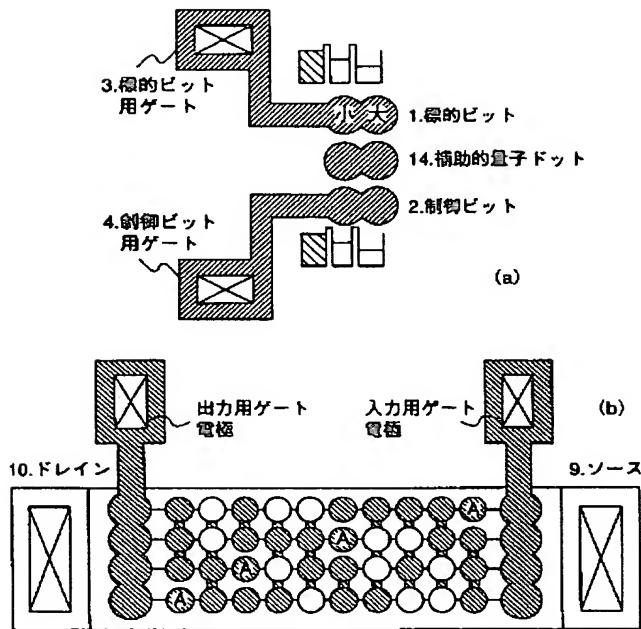
【図6】



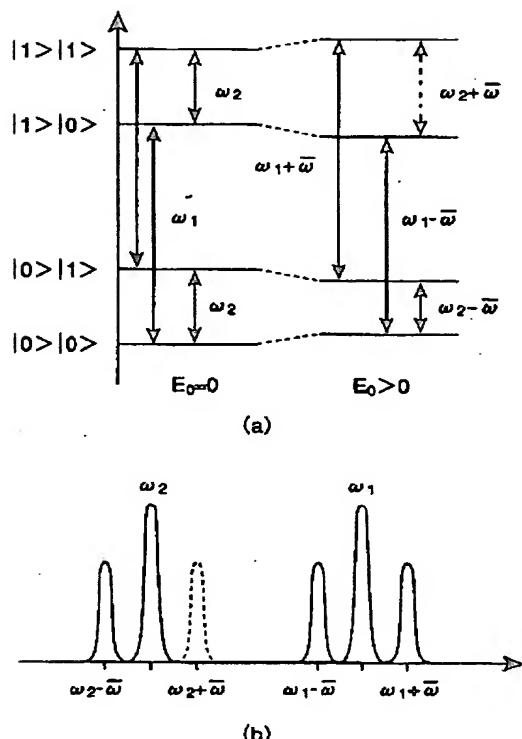
【図10】



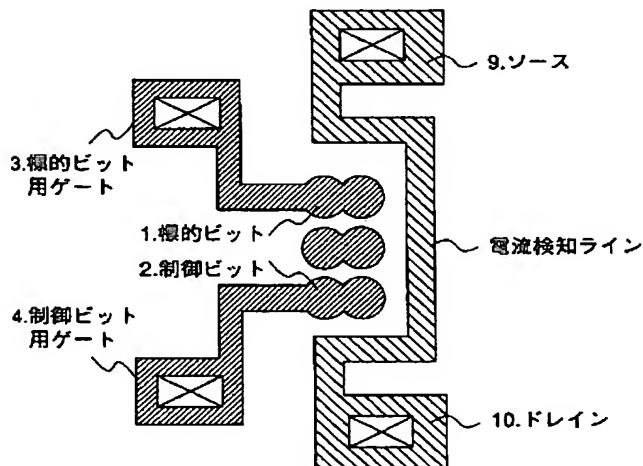
【図7】



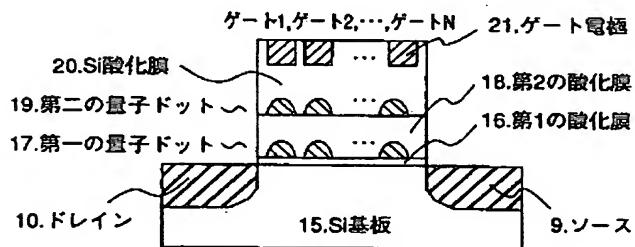
【図8】



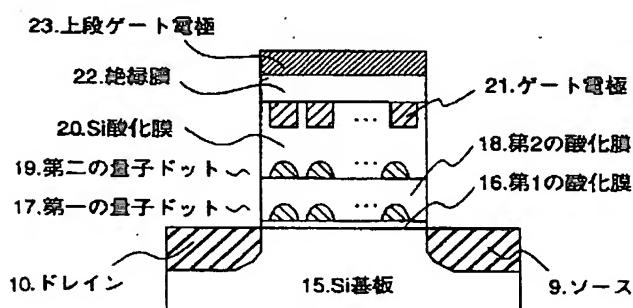
【図9】



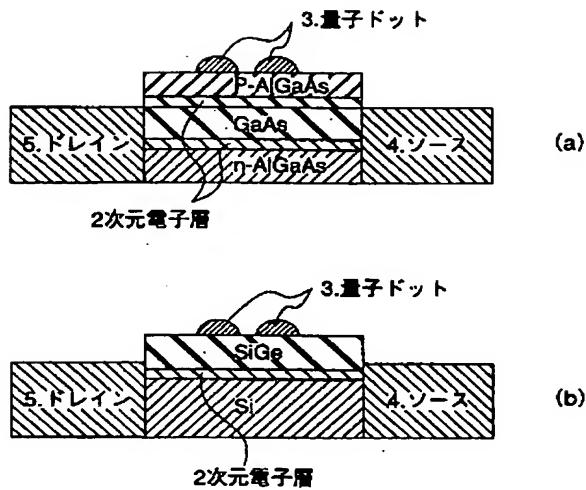
【図11】



【図12】



【図13】



フロントページの続き

(51) Int.Cl. 7

識別記号

F I

マーコード(参考)

H 01 L 29/778
21/338
29/812
// H 01 L 27/115

F ターム(参考) 5F001 AA92 AB02 AB04 AB20 AC01
AD13 AD17 AD21 AD80 AF10
5F040 DC01 DC03 EA09 EB03 EC16
EF02 EK01 FC02 FC05 FC19
5F083 FZ10 HA06 JA33 JA36 PR34
5F102 FB10 GA00 GB01 GC01 GC05
GD10 GJ03 GJ05 GJ10 GQ01
GQ03 GR16 GT01 GT03 GT05
GT08 HC01 HC07 HC11